

日本国特許庁
JAPAN PATENT OFFICE

25. 3. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月26日
Date of Application:

出願番号 特願2003-085089
Application Number:
[ST. 1Q/C]: [JP 2003-085089]

出願人 コマツ電子金属株式会社
Applicant(s):

REC'D 21 MAY 2004

WIPO

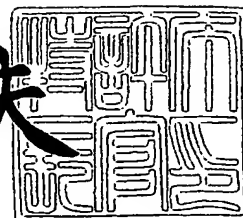
PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 4月28日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 AP020038
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/02
H01L 21/20
H01L 21/322

【発明者】

【住所又は居所】 神奈川県平塚市四之宮三丁目 2 5 番 1 号 コマツ電子金
属株式会社 平塚工場内

【氏名】 自見 博志

【発明者】

【住所又は居所】 神奈川県平塚市四之宮三丁目 2 5 番 1 号 コマツ電子金
属株式会社 平塚工場内

【氏名】 那須 悠一

【発明者】

【住所又は居所】 神奈川県平塚市四之宮三丁目 2 5 番 1 号 コマツ電子金
属株式会社 平塚工場内

【氏名】 増田 剛

【特許出願人】

【識別番号】 000184713

【氏名又は名称】 コマツ電子金属株式会社

【代理人】

【識別番号】 100071054

【弁理士】

【氏名又は名称】 木村 高久

【代理人】

【識別番号】 100106068

【弁理士】

【氏名又は名称】 小幡 義之

【手数料の表示】

【予納台帳番号】 006460

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体エピタキシャルウェーハ

【特許請求の範囲】

【請求項 1】 半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、

前記半導体基板の表面側のみに複数層のエピタキシャル層を重層すると共に、
前記複数層のエピタキシャル層のうち前記半導体基板と接するエピタキシャル層の不純物濃度をゲッタリングサイトが形成される程度の高濃度にし、
前記半導体基板の不純物濃度を裏面側からの不純物の放出が抑制される程度の低濃度にしたこと

を特徴とする半導体エピタキシャルウェーハ。

【請求項 2】 半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、

前記半導体基板の表面側のみに複数層のエピタキシャル層を重層すると共に、
前記複数層のエピタキシャル層のうち前記半導体基板と接するエピタキシャル層の不純物濃度を $2.77 \times 10^{17} \sim 5.49 \times 10^{19}$ (atoms/cm³) にし

、
前記半導体基板の不純物濃度を $1.33 \times 10^{14} \sim 1.46 \times 10^{16}$ (atoms/cm³) にしたこと

を特徴とする半導体エピタキシャルウェーハ。

【請求項 3】 半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、

前記半導体基板の表面側のみに複数層のエピタキシャル層を重層すると共に、
前記複数層のエピタキシャル層のうち前記半導体基板と接するエピタキシャル層の抵抗率を $0.002 \sim 0.1$ ($\Omega \cdot \text{cm}$) とし、

前記半導体基板の抵抗率を $1 \sim 100$ ($\Omega \cdot \text{cm}$) としたこと

を特徴とする半導体エピタキシャルウェーハ。

【請求項 4】 前記半導体基板と接するエピタキシャル層は、ボロンを含むこと

を特徴とする請求項 1、2、3 記載の半導体エピタキシャルウェーハ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板の表面側のみに複数のエピタキシャル層を重層すると共に、半導体基板と接するエピタキシャル層の不純物濃度を高濃度にし、半導体基板の不純物濃度を低濃度にした半導体エピタキシャルウェーハに関する。

【0002】

【従来の技術】

CPUやDRAM等のメモリーには半導体エピタキシャルウェーハが使用される。半導体エピタキシャルウェーハは、半導体基板の表面側にエピタキシャル層が積層されたエピタキシャルウェーハと、エピタキシャル層がないノンエピタキシャルウェーハとに大別される。

【0003】

図4はエピタキシャルウェーハの断面図である。エピタキシャルウェーハ40は、最も一般的なP/P⁺（P on P⁺という）エピタキシャルウェーハであり、ボロン等の不純物濃度が高いP⁺（抵抗率にして20/1000（Ω・cm）以下）のシリコン基板41が用いられる。なお、“P^X/P^Y”という記載は、P^Xの膜又は基板の上にP^Yの膜又は基板を積層することを意味する。シリコン基板41の表面側41aにはシリコン基板41より低濃度にボロンがドーピングされた（抵抗率にして約1（Ω・cm）以上）エピタキシャル層42が積層され、裏面側41bには酸化膜43が積層されている。このような構造には次のような利点がある。

【0004】

半導体素子やその基板となるウェーハの製造プロセスでは様々な金属が副材料として使用されており、エピタキシャル層42が金属等の不純物によって汚染される場合がある。これらの汚染金属不純物はエピタキシャル層42に形成される各素子の特性を変化、劣化させることがあり素子の信頼性を低下させる。そこでエピタキシャルウェーハ40ではP⁺のシリコン基板41がゲッタリングサイトとして用いられる。ウェーハ外部からエピタキシャルウェーハ40にFeやCu

等の汚染金属が取り込まれた場合、これら汚染金属不純物はボロン濃度の高いシリコン基板 41 に優先的に取り込まれるという特性がある。その結果、エピタキシャル層 42 の汚染金属不純物の含有量は少なくなる。こうしてエピタキシャル層 42 を無欠陥にし、良い特性を維持することができる。

【0005】

P⁺のシリコン基板 41 の表面側 41a にエピタキシャル層を成長させる際の高温度条件の下でシリコン基板 41 の裏面側 41b に何ら積層されるものがない場合は、高濃度のボロンがガス状になって放出される。するとガス状のボロンがエピタキシャル層 42 に取り込まれるといういわゆるオートドーピングが発生する。オートドーピングが発生するとエピタキシャル層 42 の抵抗分布が悪化する。そこでシリコン基板 41 の裏面側にはエピタキシャル成長前に酸化膜 43 が積層される。この酸化膜 43 によってシリコン基板 41 からのボロンの放出は抑制される。したがってオートドーピングを防止することができる。

【0006】

図 4 に示すエピタキシャルウェーハ 40 と別の形態のエピタキシャルウェーハが下記特許文献 1 に開示されている。

【0007】

図 5 は特許文献 1 のエピタキシャルウェーハの断面図である。エピタキシャルウェーハ 50 には不純物濃度が低い P⁻（抵抗率にして 1 ($\Omega \cdot \text{cm}$) 以上) のシリコン基板 51 が用いられている。またシリコン基板 51 の裏面側 51b には P⁺の第 1 エピタキシャル層 52 が積層され、表面側 51a には第 2 エピタキシャル層 53 が積層されている。更に第 1 エピタキシャル層 52 にはシリコン膜 54 が積層されている。

【0008】

この構成によれば第 2 エピタキシャル層 53 の汚染不純物は第 1 エピタキシャル層 52 でゲッタリングされる。

【0009】

エピタキシャルウェーハ 50 の製造工程は、シリコン基板 51 の裏面側 51b に第 1 エピタキシャル層 52 を成長させた後に、シリコン基板 51 の表面側 51

aに第2エピタキシャル層53を成長させる。各エピタキシャル層を成長させる際にP⁻のシリコン基板51からはガス状のボロンは放出されないが、第2エピタキシャル層53を成長させる際にP⁺の第1エピタキシャル層52すなわちウェーハ自体の裏面側からガス状のボロンが放出される。このためシリコン膜54が設けられ、オートドーピングが抑制されている。

【0010】

【特許文献1】

特開平10-303207号公報

【0011】

【発明が解決しようとする課題】

従来のエピタキシャルウェーハは何れもシリコン基板の裏面側に酸化膜やエピタキシャル層等（以下、酸化膜等という）が積層されている。しかしシリコン基板の裏面側に酸化膜等を積層する場合には、

（1）酸化膜を積層する際にシリコン基板が金属汚染される可能性があり、エピタキシャルウェーハの製造歩留まりを低下させる、

（2）酸化膜等の平坦度は低いためウェーハ自体の平坦度が低下し、エピタキシャルウェーハの製造歩留まりを低下させる、

等の問題がある。

【0012】

更に図5に示すエピタキシャルウェーハ50には次のような問題もある。

【0013】

技術の進歩と共に素子製造プロセスは低温化してきている。低温化された素子製造プロセスにおいては汚染金属はゲッタリングサイトに拡散できるだけの十分な熱エネルギーを得られない。このためゲッタリングを効率よく行うにはエピタキシャル層とゲッタリングサイトとができる限り近い方が望ましい。ところがエピタキシャルウェーハ50ではゲッタリングサイトにされる第1エピタキシャル層52と第2エピタキシャル層53との間にシリコン基板51が介在している。つまり第2エピタキシャル層53とゲッタリングサイトとが離れているためゲッタリングが効率よく行われな

【0014】

本発明はこうした実状に鑑みてなされたものであり、エピタキシャル層にP⁺層を近接することによって、低温の素子製造プロセスにおいてもゲッタリングを効率的に行うと共にエピタキシャルウェーハの製造歩留まりを向上させてエピタキシャルウェーハの製造コストを低減させることを解決課題とするものである。

【0015】

【課題を解決するための手段および作用、効果】

そこで、第1発明は、

半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、

前記半導体基板の表面側のみに複数層のエピタキシャル層を重層すると共に、
前記複数層のエピタキシャル層のうち前記半導体基板と接するエピタキシャル層の不純物濃度をゲッタリングサイトが形成される程度の高濃度にし、

前記半導体基板の不純物濃度を裏面側からの不純物の放出が抑制される程度の低濃度にしたこと

を特徴とする。

【0016】

また第2発明は、

半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、

前記半導体基板の表面側のみに複数層のエピタキシャル層を重層すると共に、
前記複数層のエピタキシャル層のうち前記半導体基板と接するエピタキシャル層の不純物濃度を $2.77 \times 10^{17} \sim 5.49 \times 10^{19}$ (atoms/cm³) にし

、
前記半導体基板の不純物濃度を $1.33 \times 10^{14} \sim 1.46 \times 10^{16}$ (atoms/cm³) にしたこと

を特徴とする。

【0017】

また第3発明は、

半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、

前記半導体基板の表面側のみに複数層のエピタキシャル層を重層すると共に、
前記複数層のエピタキシャル層のうち前記半導体基板と接するエピタキシャル層の抵抗率を $0.002 \sim 0.1$ ($\Omega \cdot \text{cm}$) とし、
前記半導体基板の抵抗率を $1 \sim 100$ ($\Omega \cdot \text{cm}$) としたこと
を特徴とする。

【0018】

第1～第3発明を図1を用いて説明する。

【0019】

エピタキシャルウェーハ1は、シリコン基板2とシリコン基板2の表面側2aに重層される第1エピタキシャル層3及び第2エピタキシャル層4とで構成される。シリコン基板2の表面側2aは第1エピタキシャル層3と接しており、シリコン基板2の裏面側2bには何ら積層されていない。

【0020】

シリコン基板はP⁻のシリコンで構成されており、その不純物濃度は $1.33 \times 10^{14} \sim 1.46 \times 10^{16}$ (atoms/cm³) であり、抵抗率は $1 \sim 100$ ($\Omega \cdot \text{cm}$) である。

【0021】

第1エピタキシャル層3はP⁺のシリコンエピタキシャル層で構成されており、その不純物濃度は $2.77 \times 10^{17} \sim 5.49 \times 10^{19}$ (atoms/cm³) であり、抵抗率は $0.002 \sim 0.1$ ($\Omega \cdot \text{cm}$) である。

【0022】

本発明によれば、ゲッターリングサイトつまり第1エピタキシャル層3と第2エピタキシャル層4との距離が近いため、ゲッターリングを効率的に行うことができる。またシリコン基板2の不純物濃度が低濃度であるため、エピタキシャル成長の際にガス状の不純物は発生しない。このためシリコン基板2の裏面側2bに酸化膜等を形成する必要がなくなり、酸化膜形成に伴う諸問題（両面研磨、金属汚染、平坦度の低下）は生じない。したがってエピタキシャルウェーハの製造歩留

まりを向上させてエピタキシャルウェーハの製造コストを低減させることができる。

【0023】

また第4発明は、第1～第3発明において、
前記半導体基板と接するエピタキシャル層は、ボロンを含むこと
を特徴とする。

【0024】

【発明の実施の形態】

以下図面を参照して本発明に係る半導体エピタキシャルウェーハの実施形態について説明する。

【0025】

図1は本発明に係るエピタキシャルウェーハの断面図である。

【0026】

エピタキシャルウェーハ1は、シリコン基板2とシリコン基板2の表面側2aに重層される第1エピタキシャル層3及び第2エピタキシャル層4とで構成される。シリコン基板2の表面側2aは第1エピタキシャル層3と接しており、シリコン基板2の裏面側2bには何ら積層されていない。

【0027】

シリコン基板2は不純物濃度が低いP⁻のシリコン結晶で構成される。ここではシリコン基板2に含有される不純物をボロンとし、その濃度を $1.33 \times 10^{14} \sim 1.46 \times 10^{16}$ (atoms/cm³)としている。又はシリコン基板2の抵抗率を1～100 (Ω・cm)としている。

【0028】

第1エピタキシャル層3はP⁺のシリコンエピタキシャル層で構成される。ここでは第1エピタキシャル層3に含有される不純物をボロンとし、その濃度を $2.77 \times 10^{17} \sim 3.62 \times 10^{19}$ (atoms/cm³)としている。又は第1エピタキシャル層3の抵抗率を0.002～0.1 (Ω・cm)としている。第1エピタキシャル層3はゲッタリングサイトとして機能する。

【0029】

第2エピタキシャル層4はP-のシリコンエピタキシャル層で構成される。第2エピタキシャル層4には素子製造プロセスで各素子が形成される。

【0030】

なお第1エピタキシャル層3と第2エピタキシャル層4との間に第1エピタキシャル層3より低濃度又は高抵抗率の他のエピタキシャル層が積層されていてもよい。

【0031】

次にシリコン基板2にエピタキシャル層3、4を積層する方法について説明する。

【0032】

図2はエピタキシャル層の積層の手順を示すフローチャートである。

【0033】

各エピタキシャル層の成長条件についての具体的な一例を表1に示す。

【0034】

【表1】

	第1エピタキシャル層	第2エピタキシャル層
膜厚	3(μm)	6(μm)
抵抗率	3/1000($\Omega\cdot\text{cm}$)	10($\Omega\cdot\text{cm}$)
ドーパント種	B ₂ H ₆	B ₂ H ₆
ドーパント濃度	15%	0.01%
H ₂ Bake温度	1200(°C)	1200(°C)
成長温度	1100(°C)	1100(°C)
Growth/Rate	3.62($\mu\text{m}/\text{min}$)	3.66($\mu\text{m}/\text{min}$)
希釈用H ₂ 流量	2(slm)	16(slm)
ドーパントガス流量	450(sccm)	100(sccm)
ミキシングガス流量	200(sccm)	174(sccm)

【0035】

エピタキシャル層を気相成長させる炉内にシリコン基板を導入する前にこの炉内にモニターウェーハを導入し、表1に示す条件（各種ガスの供給、温度）にて第1エピタキシャル層の膜厚及び抵抗率の条件出しを行う（ステップ21）。表1に示す膜厚及び抵抗率のエピタキシャル層が得られる状態となったら、シリコン結晶から採取されたP-のシリコン基板を炉内に導入し、シリコン基板表面側に第1エピタキシャル層を成長させる（ステップ22）。ここでは通常のエピタキシャル層の気相成長が行われる。第1エピタキシャル層の成長が終了したら、ウェーハをロードロック室に退避させた後、“High Etch”と呼ばれる炉内のクリーニングプロセスを行う（ステップ23）。

【0036】

“High Etch”は以下に述べる理由により行われる。第1エピタキシャル層の成長の際には、炉内に高濃度のドーパントガスを供給する。第1エピタキシャル層の成長後、第2エピタキシャル層の成長のために、炉内に低濃度のドーパントガスを供給するのであるが、炉内に高濃度のドーパントやその副生成物が残留していると、第2エピタキシャル層が残留する高濃度のドーパント副生成物から放出されるドーパントの影響を受けるため、所望の不純物濃度及び抵抗率を得られなくなる。そこで炉内に残留する高濃度のドーパントやその副生成物を除去するために、“High Etch”を行うのである。具体的な方法は、HCLを15（slm）の条件で約3分間炉内に導入する。1回の“High Etch”で炉内にドーパントガスが除去されない場合は複数回の“High Etch”を繰り返し行うようにする。

【0037】

“High Etch”が終了すると、再び炉内にモニターウェーハを導入し、表1に示す条件にて第2エピタキシャル層の膜厚及び抵抗率の条件出しを行う（ステップ24）。この際、残留する高濃度のドーパントの影響により、エピタキシャル層の抵抗率が上昇しない場合がある。その場合はダミー運転を行った後に再び炉内にモニターウェーハを導入し、第2エピタキシャル層の膜厚及び抵抗率の条件出しを行う（ステップ25）。表1に示す膜厚及び抵抗率のエピタキシャル層が得られる状態となったら、退避させたシリコンウェーハを炉内に導入し

、先に成長させた第1エピタキシャル層上に第2エピタキシャル層を成長させる(ステップ26)。ここでは通常のエピタキシャル層の気相成長が行われる。

【0038】

なお表1に示すように、本実施形態ではボロンを含有するドーパガスとして B_2H_6 (ジボラン) を使用しているが、 BCl_3 (三塩化ボロン) を使用してもよい。

【0039】

次にゲッタリングサイトとして使用するエピタキシャル層の抵抗率(又は不純物濃度)と膜厚とゲッタリング能力について説明する。

【0040】

表2の水準1～11に示すように、本発明に係るエピタキシャルウェーハを製作し、各ウェーハをFeイオン溶液に浸漬してウェーハの表面・裏面をFeで故意に汚染した。Feの汚染量は 2×10^{13} (atoms/cm²) であり、ICS-MS法で確認した。なお水準12～14に示すエピタキシャルウェーハも合わせて製作し、同じような処理を施した。水準12～14のエピタキシャルウェーハは本発明以前に用いられていたエピタキシャルウェーハである。

【0041】

【表 2】

水準	シリコン基板 (□内は抵抗率 を示す)	第1エピタキシャル層		第2エピタキシャル層	
		抵抗率 ($\Omega \cdot \text{cm}$)	膜厚 (μm)	抵抗率 ($\Omega \cdot \text{cm}$)	膜厚 (μm)
1	$\text{P}^- [10(\Omega \cdot \text{cm})]$	100/1000	1	10	5
2	$\text{P}^- [10(\Omega \cdot \text{cm})]$	100/1000	5	10	5
3	$\text{P}^- [10(\Omega \cdot \text{cm})]$	100/1000	30	10	5
4	$\text{P}^- [10(\Omega \cdot \text{cm})]$	50/1000	1	10	5
5	$\text{P}^- [10(\Omega \cdot \text{cm})]$	50/1000	5	10	5
6	$\text{P}^- [10(\Omega \cdot \text{cm})]$	50/1000	30	10	5
7	$\text{P}^- [10(\Omega \cdot \text{cm})]$	15/1000	1	10	5
8	$\text{P}^- [10(\Omega \cdot \text{cm})]$	15/1000	2	10	5
9	$\text{P}^- [10(\Omega \cdot \text{cm})]$	15/1000	5	10	5
10	$\text{P}^- [10(\Omega \cdot \text{cm})]$	15/1000	10	10	5
11	$\text{P}^- [10(\Omega \cdot \text{cm})]$	15/1000	30	10	5
12	$\text{P}^+ [15/1000(\Omega \cdot \text{cm})]$	—	—	10	5
13	$\text{P}^- [10(\Omega \cdot \text{cm})]$	—	—	10	5
14	$\text{P}^- [10(\Omega \cdot \text{cm})]$	—	—	—	—

【0042】

つづいて各汚染ウェーハ（水準1～14）に素子製造プロセスと同一の熱プロセスを施し、表面のエピタキシャル層中に残留するFeの濃度を測定した。その測定結果を図3に示す。なお測定方法としてはDLTS法を用いている。この図3を参照し各ウェーハのゲッターリング能力について検討する。

【0043】

図3で示すように、本発明に係るエピタキシャルウェーハ（水準1～11）の表面に残留するFe濃度は、従来のエピタキシャルウェーハ又はアニールウェーハ（水準12～14）の表面に残留するFe濃度と比較して、同等又はそれ以下である。表面に残留するFe濃度が低いということは、多くのFeがゲッターリン

グサイトに取り込まれているということである。これはゲッタリング能力があるということの意味する。

【0044】

ここで注目する点は、水準1～3、水準4～6、水準7～11のエピタキシャルウェーハ共に膜厚が厚いほどFe濃度が低くなる結果となっているものの、膜厚が1 (μm) 程度の薄さであっても従来の水準13、14のエピタキシャルウェーハ以上のゲッタリング能力を有するということである。つまり本発明によれば、膜厚が1 (μm) 程度の第1エピタキシャル層すなわちゲッタリングサイトであっても、十分なゲッタリング効果を期待できる。更に従来のエピタキシャルウェーハの問題点（オートドーブや金属汚染や平坦度）も解消できる。

【0045】

次にシリコン基板とエピタキシャル層との界面で発生するミスフィット転位について述べる。

【0046】

ボロン原子はシリコン原子よりも小さいため、ボロン濃度が大きく異なる二つのシリコン層の界面には、結晶の格子定数が異なることに起因してミスフィット転位が発生する。このミスフィット転位には、ミスフィット転位自身がゲッタリング能力を備える、という有益な効果がある反面、ミスフィット転位周囲の歪みがウェーハ表面に反映され微小な凹凸がウェーハ表面に生じる、という問題もある。素子製造プロセスに対するミスフィットのメリット、デメリットについては、その素子の種類、デザインルール、設計思想等により変わるものである。

【0047】

本発明以前に一般的に用いられていたP/P⁺エピタキシャルウェーハにおいて、抵抗率が4/1000 ($\Omega \cdot \text{cm}$) 以下のボロンドープ結晶をシリコン基板として用いると、シリコン基板とエピタキシャル層との界面にはミスフィット転位が確実に発生する。

【0048】

表3は、本発明において、第1エピタキシャル層の抵抗率（又は濃度）が同じであり、その膜厚が異なる2つの試料のミスフィット転位の有無を示している。

【0049】

【表3】

		試料1	試料2
第1エピタキシャル層	抵抗率	3/1000($\Omega \cdot \text{cm}$)	3/1000($\Omega \cdot \text{cm}$)
	膜厚	1(μm)	3(μm)
第2エピタキシャル層	抵抗率	10($\Omega \cdot \text{cm}$)	10($\Omega \cdot \text{cm}$)
	膜厚	5(μm)	5(μm)
ミスフィットの発生	エピ成長後	無	有
	デバイス熱シミュレーション後	無	有(エピ成長直後より増加)

【0050】

表3に示すように、本発明によれば、ある抵抗率の第1エピタキシャル層にミスフィット転位が発生したとしても、抵抗率を維持する一方で膜厚を変えればミスフィット転位の発生を制御することができる。

【0051】

なお本発明のエピタキシャルウェーハによれば、次のような効果も期待できる。

【0052】

本発明及び従来のエピタキシャルウェーハの特性比較を表4に示す。

【0053】

【表4】

	P/P ⁺	P/P ⁻	本発明
耐ラッチアップ性	○	×	○
高周波数適応性	×	○	○

【0054】

P⁺のシリコン基板に一層のエピタキシャル層を積層した従来の構造のエピタキシャルウェーハ (P/P⁺という) は、耐ラッチアップ性に関して優れた特性を有するが、高周波数適応性に関して優れた特性を有するとは云えない。逆にP⁻のシリコン基板に一層のエピタキシャル層を積層した従来の構造のエピタキシャルウェーハ (P/P⁻という) は、高周波数適応性に関して優れた特性を有するが、耐ラッチアップ性に関して優れた特性を有するとは云えない。

【0055】

一方、本発明のエピタキシャルウェーハは、高周波数適応性、耐ラッチアップ性に関してある程度優れた特性を有している。

【0056】

本発明のエピタキシャルウェーハが高周波数適応性に関して優れた特性を有する理由は次のように考えられる。エピタキシャル層に形成される素子に電流が流れるとエピタキシャルウェーハには誘導電流が流れる。この誘導電流は高周波電流の応答性に対して負荷となる。本発明によれば、シリコン基板の不純物濃度が低濃度 (抵抗率大) であるためエピタキシャルウェーハ自体の抵抗率が大きくなり、誘導電流を抑制することができる。したがって、高周波電流の応答性に対して誘導電流の影響を小さくすることができる。よって高周波数適応性に優れる。

【0057】

また、本発明はP/P⁺/P⁻という構造のため、P⁺の第1エピタキシャル層が従来のP/P⁺のP⁺基板の役割を担うことになる。つまりラッチアップ耐性も備えることになる。

【図面の簡単な説明】

【図1】

図1は本発明に係るエピタキシャルウェーハの断面図である。

【図2】

図2はエピタキシャル層の積層の手順を示すフローチャートである。

【図3】

図3はエピタキシャルウェーハにおける不純物濃度のプロファイルを示す図である。

【図 4】

図 4 は従来のエピタキシャルウェーハの断面図である。

【図 5】

図 5 は従来のエピタキシャルウェーハの断面図である。

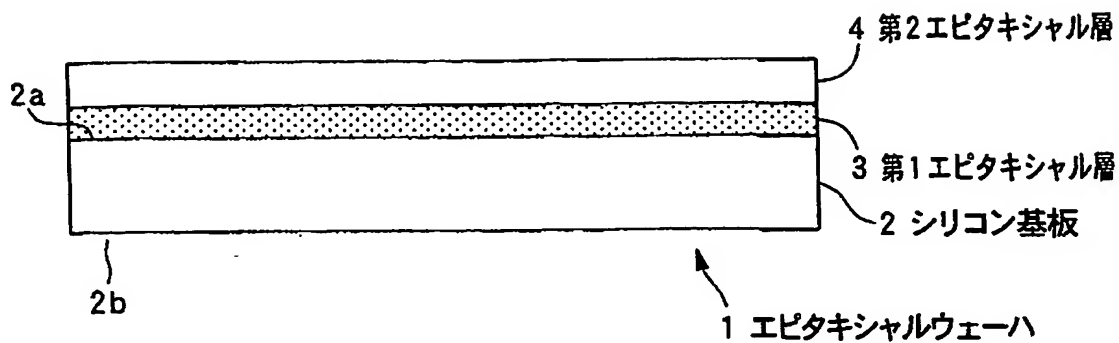
【符号の説明】

- 1 エピタキシャルウェーハ
- 2 シリコン基板
- 3 第 1 エピタキシャル層
- 4 第 2 エピタキシャル層

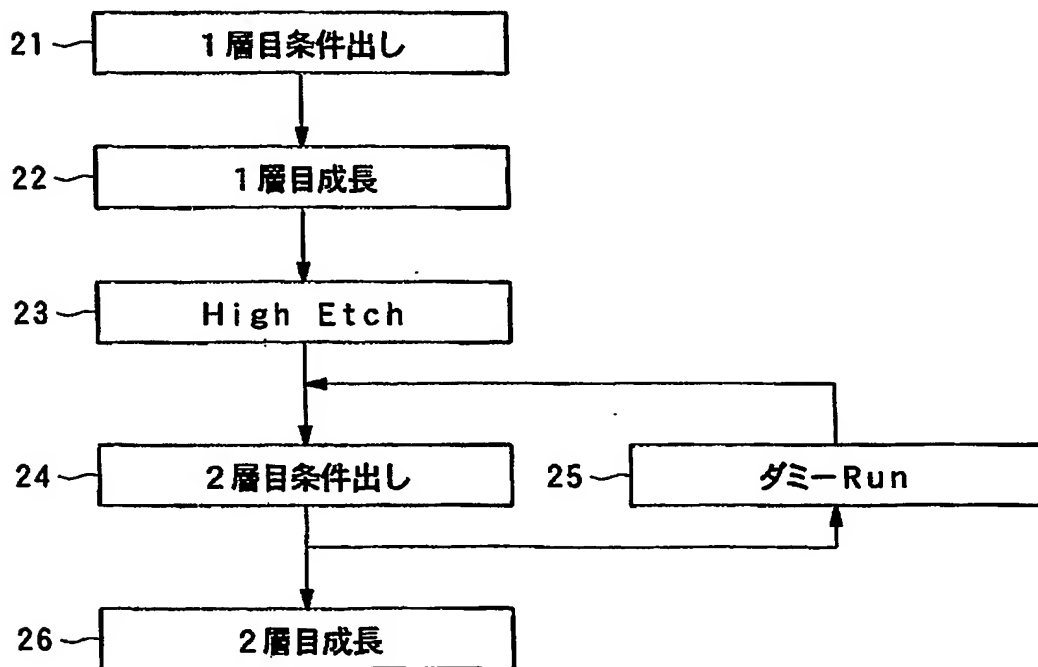
【書類名】

図面

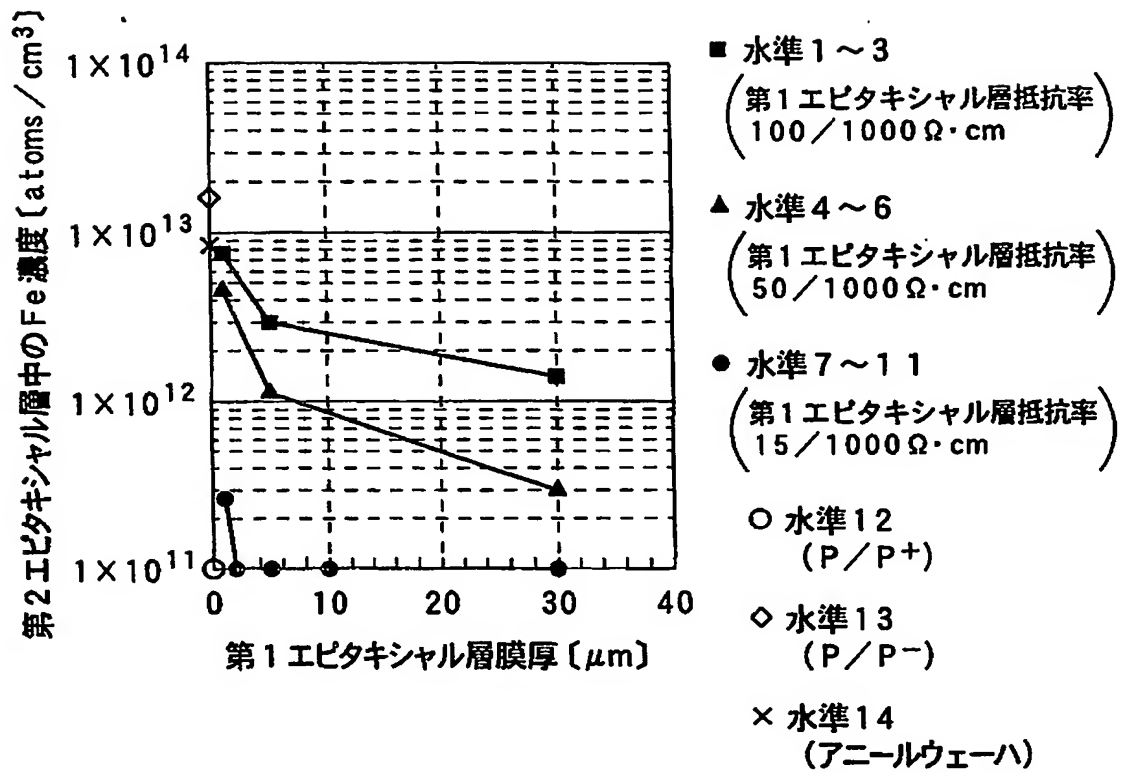
【図 1】



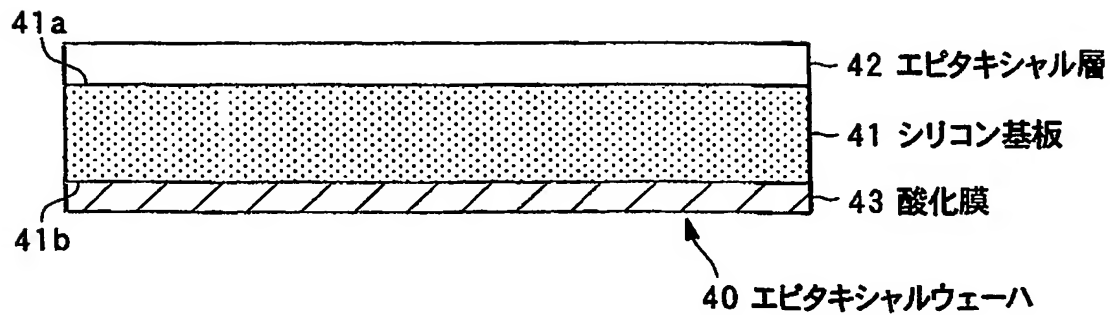
【図 2】



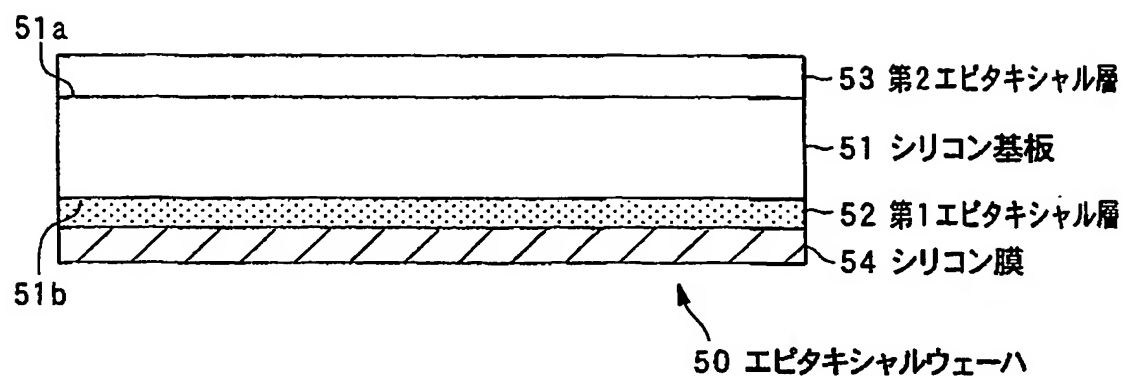
【図3】



【図4】



【図 5】



【書類名】 要約書

【要約】

【課題】

エピタキシャル層にP⁺層を近接することによって、低温の素子製造プロセスにおいてもゲッタリングを効率的に行うと共にエピタキシャルウェーハの製造歩留まりを向上させてエピタキシャルウェーハの製造コストを低減させる。

【解決手段】

P⁻のシリコン基板2の表面側2aに複数のエピタキシャル層を積層し、裏面側2bには何ら積層しない。複数のエピタキシャル層のうちシリコン基板2と接するエピタキシャル層をP⁺の第1エピタキシャル層3にする。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2003-085089
受付番号	50300491851
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 4月 1日

<認定情報・付加情報>

【提出日】	平成15年 3月26日
【特許出願人】	
【識別番号】	000184713
【住所又は居所】	神奈川県平塚市四之宮3丁目25番1号
【氏名又は名称】	コマツ電子金属株式会社
【代理人】	申請人
【識別番号】	100071054
【住所又は居所】	東京都中央区湊1丁目8番11号 千代ビル6階 木村内外国特許事務所
【氏名又は名称】	木村 高久
【代理人】	
【識別番号】	100106068
【住所又は居所】	東京都中央区湊1丁目8番11号 千代ビル6階 木村内外国特許事務所
【氏名又は名称】	小幡 義之

次頁無

特願 2 0 0 3 - 0 8 5 0 8 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 8 4 7 1 3]

1. 変更年月日

2 0 0 1 年 2 月 1 5 日

[変更理由]

住所変更

住 所

神奈川県平塚市四之宮 3 丁目 2 5 番 1 号

氏 名

コマツ電子金属株式会社